
Inhoudsopgave

Hoofdstuk 1: Er was eens... Booleaanse Algebra	23
1.1 : De operatoren	24
1.2 : De basiswetten	24
1.2.1 : De basisregels	24
1.2.2 : Bewijsvoering	25
1.3 : Uitgebreide regels	26
1.3.1 : Commutativiteit	26
1.3.2 : Associativiteit	26
1.3.3 : Distributiviteit	27
1.3.4 : Absorptie	27
1.4 : De wetten van De Morgan	28
1.5 : Overzicht van de Rekenregels	32
1.5.1 : AND met een constante	32
1.5.2 : OR met constante	32
1.5.3 : Inverter	32
1.5.4 : Bewerkingen met eigen inverse	32
1.5.5 : Commutativiteit	32
1.5.6 : Associativiteit	32
1.5.7 : Distributiviteit	32
1.5.8 : Absorptie	32
1.5.9 : De Morgan	32
	Fout! Bladwijzer niet gedefinieerd.
Hoofdstuk 2: De logische talstelsels	33
2.1 : Het binaire stelsel	33
2.1.1 : Binaire notaties	33
2.1.2 : Tellen in binair	34
2.1.3 : Speciale binaire codes	35
2.2 : Het hexadecimale talstelsel	37
2.2.1 : Tellen in HEX	37
2.3 : Conversie van talstelsels	38
2.3.1 : Conversie van en naar binair	38
2.3.2 : Conversie van en naar HEX	40
2.3.3 : Conversie tussen HEX en binair	41
2.3.4 : Octaal en andere talstelsels	42
2.4 : Notatie van de base	43

Hoofdstuk 3: Logische vergelijkingen	44
3.1 : Eenvoudige vergelijkingen	44
3.2 : Waarheidstabellen	45
3.2.1 : Opstellen van de ingangscombinaties	46
3.2.2 : Het invullen van de uitgangscondities	46
Hoofdstuk 4: Reductie van logische vergelijkingen	48
4.1 : Booleaanse algebra en De Morgan	48
4.2 : Karnaugh kaarten	48
4.2.1 : Opbouw van de kaart	49
4.2.2 : Invullen van de kaart	49
4.2.3 : Oplossen van een KV kaart	50
4.2.4 : Karnaugh voor nultermen	51
4.3 : Quine-McCluskey	52
4.3.1 : Het QM Algoritme	53
4.3.2 : Vaststellingen	58
Hoofdstuk 5: De basispoorten	60
5.1 : De grondpoorten	60
5.1.1 : NOT	61
5.1.2 : AND	62
5.1.3 : OR	63
5.2 : Afgeleide poorten	63
5.2.1 : NAND	64
5.2.2 : NOR	65
5.2.3 : XOR	66
5.2.4 : XNOR	67
5.2.5 : Majority gate	68
5.3 : Transponeren van poorten	69
5.3.1 : Samenvoegen en splitsen van poorten	72
5.4 : Positieve logica ten opzichte van negatieve logica	74
5.5 : Overzicht van de basispoorten	75
Hoofdstuk 6: Combinatorische systemen	76
6.1 : Encoders en Decoders	76
6.1.1 : Encoder	76
6.1.2 : Priority encoder	80
6.1.3 : Decoder	86

6.1.4 : Transcoders	86
6.1.5 : Praktische methode om snel transcoders te maken	86
6.1.6 : Vaststellingen	89
6.2 : Multiplexers en de-multiplexers	89
6.2.1 : Multiplexers	89
6.2.2 : Demultiplexers	92
6.3 : Rekenkundige circuits	94
6.3.1 : Adder-schakelingen (optellers)	95
6.3.2 : Look Ahead adder	100
6.3.3 : Subtractors (aftellers)	105
6.3.4 : Multipliers (vermenigvuldigers)	109
6.3.5 : Andere types multipliers	112
6.3.6 : Dividers (delers)	115
6.4 : Code convertoren	116
6.5 : Comparators	119
6.5.1 : De simpele comparator	120
6.5.2 : De magnitude comparator	121
6.6 : Parity en Parity generatoren	126
6.6.1 : Odd/Even detector	126
6.6.2 : Bitwise parity	126
6.6.3 : Parity correction	128
6.7 : Look up tables	128
6.7.1 : Implementatie van logica door middel van LUTs	129
6.8 : Speciale poorten	130
6.8.1 : Tristate gates	130
6.8.2 : Bus multiplexing	131
6.8.3 : Bus Switches	132
6.8.4 : Analoge switches	133
6.8.5 : Expandable poorten	135
6.8.6 : Open Collector / Drain / Emitter / Source	135
6.8.7 : Wired logica	137
Hoofdstuk 7: Geheugenelementen	139
7.1 : De RS flipflop	139
7.1.1 : De transformatie naar identieke poorten	141
7.2 : De RST flipflop	144
7.3 : De Latch	145
7.4 : Foutloze RS flipflop	145

7.5 : Geavanceerde flipflops	146
7.5.1 : Flankgestuurde flipflops	147
7.6 : De JK flipflop	149
7.6.1 : Afwijkende JK flipflops	150
7.6.2 : Foutcondities van een JK flipflop	151
7.7 : Flipflops met asynchrone set en reset ingangen	153
7.8 : De JK flipflop als universele bouwsteen	155
7.9 : Speciale flipflops	156
7.9.1 : Dubbel geclockte flipflops	156
7.9.2 : NOT keten flipflops	156
7.10 : Flipflop symbolen	157
7.10.1 : Praktische flipflops	158
7.10.2 : Toepassingen	159
Hoofdstuk 8: Ontwerpen met geheugenelementen	162
8.1 : Registers	163
8.1.1 : Transparante registers	163
8.1.2 : Edge triggered registers	164
8.1.3 : Praktische registers	165
8.2 : Schuifregisters	166
8.2.1 : Serial In / Parallel Out	166
8.2.2 : Parallel in Serial out	171
8.2.3 : First In, First Out / FIFO	173
8.2.4 : Last in, First out / LIFO	176
8.2.5 : Praktische toepassing van schuifregisters	177
8.2.6 : Schuifregisters anders gemaakt	181
8.3 : Tellers	182
8.3.1 : Teller definities	182
8.3.2 : Asynchrone tellers	184
8.3.3 : Synchrone tellers	188
8.3.4 : State counters	194
8.3.5 : Praktische tellers	196
8.4 : Delers	200
8.5 : Binary Rate Multipliers	202
8.5.2 : Waarom BRM generatoren beter werken dan PWM	205
8.6 : LFS registers en PRBS generatoren	206

8.7 : State machines	208
8.7.1 : Het bubble of state diagram	209
8.7.2 : Moore machines	210
8.7.3 : Mealy machines	211
8.7.4 : Implementatie van machines	212
8.8 : Multiphase generatoren	213
8.8.1 : Non-overlapping generatoren	214
8.8.2 : Overlapping generatoren	215
8.8.3 : Het maken van Multiphase generatoren	216
8.9 : PLL circuits	217
8.9.1 : De fase comparator	218
8.9.2 : De deler	218
8.9.3 : De referentieoscillator	218
8.9.4 : Praktische PLLs: De 4046 en 7046	219
8.9.5 : PLL in FPGA	220
8.10 : Synchronisers	221
8.10.1 : Synchroniseren van signalen	221
8.10.2 : Gevaren van synchroniseren	222
8.10.3 : Clock synchronisers	223
8.11 : Debouncers	225
8.11.1 : RS flipflop als debouncer	225
8.11.2 : Shifter loop	226
8.11.3 : Counter loop	227
8.11.4 : Analogische debouncer	228
8.12 : Edge detectoren	228
8.12.1 : Stabiele edge detector	229
8.12.2 : Detecteren van beide edges	230
8.13 : Memory elementen	231
8.13.1 : RAM	231
8.13.2 : ROM	237
8.13.3 : Non Volatile RAM	245
8.13.4 : Multiport	249
8.13.5 : Dual Port	250
Hoofdstuk 9: Vaste logica families	252
9.1 : RTL en DTL	252
9.1.1 : RTL	253
9.1.2 : DTL	254
9.2 : TTL	255

9.3 : ECL	257
9.4 : NMOS	259
9.5 : CMOS	260
9.6 : I2L	261
9.7 : GTL / BTL	261
9.8 : Overzicht van de gangbare families	262
9.9 : Verpakkingen	263
9.9.1 : DIL / DIP	263
9.9.2 : PGA	264
9.9.3 : LCC / PLCC	264
9.9.4 : SOJ	266
9.9.5 : SO / SOP / TSSOP	266
9.9.6 : QFP / TQFP	267
9.9.7 : BGA	268
9.9.8 : QFN	269
9.9.9 : Chipscale verpakking (flipchip)	269
Hoofdstuk 10: Ontwerpen met echte logica	271
10.1 : Logische levels en de verboden zone	271
10.1.1 : De uitgangsniveaus	271
10.1.2: De ingangsniveaus	272
10.1.3 : De verboden zone	273
10.1.4 : De uitgangsstroom	273
10.2 : Rise- en Fall-time van signalen	274
10.3 : Fan-in en fan-out	275
10.3.1 : Fan-out	275
10.3.2 : Fan-in	276
10.3.3 : Wat moet je er mee	276
10.4 : Statisch en Dynamisch Stroomverbruik	276
10.4.1 : Bipolaire technologie (TTL)	276
10.4.2 : CMOS	277
10.5 : Propagation delay	278
10.6 : Setup en Hold-time	278
10.7 : Race condities	279
10.7.1 : Het EXOR drama	280
10.7.2 : Glitch free EXOR	280

10.8 : Metastabiliteit	282
10.9 : Ground bounce	283
10.10 : Ringing, Overshoot en Undershoot	285
10.10.1 : Terminatieweerstanden	286
10.10.2 : Serieweerstanden	289
10.11 : Bord layout	290
10.12 : Voedingen	291
10.12.1 : Basisprincipe van een regelaar	292
10.12.2 : Impulsgedrag	293
10.12.3 : Derating van condensatoren	293
10.12.4 : Vuistregels	296
10.12.5 : Bescherming van de regelaar	297
10.13 : Bord layout voor voedingsdistributie	299
10.13.1 : Scheiding van kritische voedingen	301
10.13.2 : Digitaal versus analoog domein	302
Hoofdstuk 11: Het lezen van een datasheet	304
11.1 : De 'Marketing' informatie	304
11.2 : De juiste datasheet	304
11.2.1 : De elektrische parameters	304
11.2.2 : Functionele parameters	305
11.2.3 : Pinaansluitingen	305
11.2.4 : Werktemperatuur	305
11.2.5 : Operating conditions	306
11.2.6 : Absolute maximum ratings	306
11.2.7 : Typical performance characteristics	306
11.2.8 : Thermische informatie	306
11.2.9 : DC parameters	306
11.2.10 : AC of switching parameters	307
11.2.11 : Package informatie	307
11.3 : Applicatie informatie	307
11.3.1 : Bord layout informatie	307
11.3.2 : Software voorbeelden	308
Hoofdstuk 12: Logische circuits maken met klassieke bouwstenen	309
12.1 : Overzicht van de belangrijkste 74xx bouwstenen	309
12.1.1 : Invertoren	309
12.1.2 : Basispoorten	310
12.1.3 : XOR en comparatoren	311
12.1.4 : Decoders	312

12.1.5 : Buffers	312
12.1.6 : Flipflops	313
12.1.7 : Schuifregisters	313
12.1.8 : Counters	314
12.1.9 : Display Drivers	315
12.1.10 : BUS registers	316
12.1.11 : BUS drivers	317
12.1.12 : Monoshots	318
12.2 : Overzicht van de belangrijkste 4xxx bouwstenen	318
12.2.1 : Invertoren	318
12.2.2 : Basispoorten	319
12.2.3 : Analoge multiplexers	319
12.2.4 : Display Drivers	320
12.2.5 : Flipflops	320
12.2.6 : CMOS tellers	321
12.3 : Tips en tricks	322
12.3.1 : Betere display drivers	322
12.3.2 : Pin compatible Schmitt-trigger	323
12.3.3 : Alternatieve buffers	323
12.3.4 : Singlegate logica	324
12.3.5 : Bundelen van bussen	324
12.3.6 : Mengen van families	324
12.3.7 : Losse transistoren	325
12.3.8 : Pull-up / pull-down	327
Hoofdstuk 13: Interface met de buitenwereld	329
13.1 : Ingangscircuits	329
13.1.1 : Level Shifting	329
13.1.2 : Debouncing (ont-dendering) en filtering	331
13.1.3 : Beveiligen van ingangen	333
13.2 : Uitgangscircuits	337
13.2.1 : Spanningsaanpassing (level-shifting)	338
13.2.2 : Stroomaanpassing	341
13.2.3 : Beveiligen van uitgangstrappen	342
13.3 : Galvanisch isoleren	343
13.3.1 : Optocouplers	343
13.3.2 : Capacitieve couplers	346
13.3.3 : Inductieve couplers	346
13.4 : Bord lay-out voor protectie	347
13.4.1 : Scheiden van gevaarlijke en veilige signalen	347
13.4.2 : Component keuze	348
13.4.3 : Voorbeeld	348

Hoofdstuk 14: Analogische circuits	350
14.1 Schmitt-triggers	350
14.2 : Delay en impuls generatoren	351
14.2.1 : Monoshot	351
14.2.2 : Hertriggerbare Monoshot	352
14.2.3 : R/C netwerken	353
14.2.4 : Oplossingen in het digital domain	356
14.3 : Oscillatoren	358
14.3.1 : Ringoscillator	358
14.3.2 : R/C oscillator	359
14.3.3 : Kristaloscillator	360
14.4 : NE555 Universeel timing component	360
14.4.1 : 555 als Monoshot	361
14.4.2 : 555 als Monoshot (herstartbaar)	361
14.4.3 : 555 als oscillator	362
14.5 : Analoo digitaal omzeters	363
14.5.1 : Flash convertor	363
14.5.2 : Successive approximation	364
14.5.3 : Integrating ADC	365
14.5.4 : Sigma Delta	365
14.6 : Digitaal analoo omzeters	367
14.6.1 : Thermometer DAC	367
14.6.2 : R-2R DAC / Resistor ladder DAC	367
14.6.3 : Binary weighted DAC	369
14.6.4 : PWM en BRM DAC	370
Hoofdstuk 15: Programmeerbare logica	371
15.1 : Geschiedenis	371
15.2 : Types	373
15.2.1 : FPLA	373
15.2.2 : PAL	375
15.2.3 : GAL	377
15.2.4 : EPLD	378
15.2.5 : CPLD	380
15.2.6 : Gate Array	381
15.2.7 : FPGA	381
15.2.8 : Hybride componenten	383

Hoofdstuk 16: Ontwerpen met PLDs en FPGA	385
16.1 : Voeding	385
16.1.1 : Multivoltage IO circuits	386
16.2 : Busvoorzieningen	386
16.3 : Programmering	386
16.3.1 : Programmeervoorziening van een Altera device	387
16.3.2 : Altera Programmer	389
16.4 : Clock voorziening	391
16.4.1 : Oscillator modules	392
16.4.2 : Zelfbouw oscillatoren	392
Hoofdstuk 17: Synthesetalen	394
17.1 : Geschiedenis van de synthesetalen	394
17.1.1 : PALASM	394
17.1.2 : ABEL	394
17.1.3 : CUPL	394
17.1.4 : AHDL	395
17.1.5 : Verilog	395
17.1.6 : VHDL	395
17.2 : Werking van een synthesizer	396
17.3 : Synthese problemen	400
17.4 : Ontwikkelssystemen	401
Hoofdstuk 18: Quartus tutorial	403
18.1 : Installatie	403
18.1.1 : Installeren	403
18.1.2 : Licentie installatie	403
18.1.3 : Firewall instellingen	403
18.2 : Opstarten	404
18.2.1 : De eerste start	404
18.3 : Aanmaken van een project	405
18.3.1 : Projectbeheer	412
18.4 : De design omgeving	413
18.5 : Aanmaken van het eerste blok	413
18.5.1 : Soorten Design files	415
18.5.2 : Andere files	417

18.6 : Ontwerpmethodologie	417
18.6.1 : Top down hiërarchisch ontwerp met toplevel schematic	417
18.7 : Aanmaken van het toplevel	418
18.8 : Teken en van een schema	420
18.8.1 : Componenten plaatsen en verplaatsen	420
18.8.2 : Verbinden van componenten	424
1.5.10 : Maken van subcircuits	425
18.9 : Aanmaken van een HDL bestand	427
18.9.1 : Schrijven van code	429
18.10 : Device assignment	429
18.11 : De eerste compilatie	431
18.11.1 : Pin assignment	433
18.12 : Simulatie	435
18.12.1 : Aanmaken van de simulatie file	435
18.12.2 : Toevoegen van signalen	437
18.12.3 : Monitoren van interne knopen	439
18.12.4 : Aanmaken van waveforms	443
18.13 : Speciale functieblokken	445
18.13.1 : Counter Megafunction	446
18.14 : Configureren van een PLL	456
Hoofdstuk 19: Verilog in een notendop	466
19.1 : Verilog modules	466
19.2 : Whitespace en commentaar	467
19.3 : Logische niveaus	468
19.3.1 : Logische x	468
19.3.2 : Logische z	468
19.4 : Signalen	468
19.4.1 : Enkelvoudige signalen	468
19.4.2 : Signaal vectoren	469
19.4.3 : Praktisch gebruik van Reg en Wire	469
19.5 : Definiëren van in- en uitgangen	470
19.5.1 : Reg en Wire	470
19.5.2 : inout	470
19.6 : Basisoperatoren in Verilog	471
19.6.1 : Logische operaties	471

19.6.2 : Reductie operatoren	473
19.6.3 : Afgeleide reductie operatoren	474
19.6.4 : Relationale operatoren	475
19.7 : Rekenkundige operaties	476
19.7.1 : Notatie van getallen	476
19.7.2 : Optellen en aftellen	478
19.7.3 : Delen en vermenigvuldigen	478
19.8 : Andere manipulaties op vectoren	480
19.8.1 : Schuifoperaties	480
19.8.2 : Maken van deelvectoren	480
19.8.3 : Groeperen van signalen	481
19.8.4 : Replicatie van signalen	482
19.8.5 : Conditionele operator	483
19.9 : Basisconstructies in Verilog	484
19.9.1 : Assign	484
19.9.2 : Blocking en non-blocking Assignments	485
19.9.3 : Always	486
19.9.4 : Sensitivity lists	489
19.9.5 : Sensitivity voor asynchrone signalen in synchroon blok	489
19.10 : Beslissingslogica	491
19.10.1 : If-then-else	491
19.10.2 : Case statement	492
19.11 : Scheduling	494
19.12 : Defines	495
19.13 : Verilog 2001	495
19.13.1 : Arrays en multidimensionele arrays	496
19.13.2 : Signed getallen	497
19.13.3 : Module definitie	497
19.13.4 : Automatisch creëren van nets	498
19.13.5 : Andere elementen	498
19.14 : Verilog 2005	499
19.14.1 : Always_ff	499
19.14.2 : Always_comb	499
1.5.11 : Always_latch	499
19.15 : Instantieren van deelcircuits	499
19.15.1 : Ingebakken primitieven	500
19.5.2 : Instantieren van een primitieve	500
19.5.3 : Instantiëring van een eigen primitieve	500
19.15.4 : Verbinden met symbolische namen	501

19.16 : Praktische systemen in Verilog	502
19.16.1 : Combinatorisch blok	502
19.16.2 : Sequentiële logica	505
19.16.3 : Een Read/Write schuifregister, met uitgangsregister	507
19.16.4 : State machine	508
Hoofdstuk 20: VHDL in een notendop	512
20.1 : VHDL Modules	512
20.2 : Whitespace en commentaar	513
20.3 : De standaard bibliotheken	513
20.4 : Logische niveaus	514
20.4.1 : Logische x	514
20.4.2 : Logische z	514
20.5 : Signalen	514
20.5.1 : Signaal Vectoren	515
20.6 : Variabelen	515
20.7 : Het aanmaken van de Entity	516
20.7.1 : De poorten van een entity	516
20.8 : Basisoperatoren in VHDL	517
20.8.1 : Logische operaties	517
20.8.2 : Afgeleide operatoren	518
20.8.3 : Relatieve operatoren	519
20.9 : Rekenkundige operaties	520
20.9.1 : Notatie van getallen	521
20.9.2 : Conversie van getallen	521
20.9.3 : Optellen en Aftellen	523
20.9.4 : Delen en vermenigvuldigen	524
20.9.5 : Modulo en remainder	525
20.10 : Andere manipulaties op vectoren	526
20.10.1 : Schuifoperaties	526
20.10.2 : Roteren van vectoren	526
20.10.3 : Maken van deelvectoren	527
20.10.4 : Groeperen van signalen	528
20.10.5 : Constanten en Aliassen	528
20.11 : Basisconstructies in VHDL	529
20.11.1 : When	529
20.11.2 : With-select	531

20.12 : Process	533
20.13 : Beslissingslogica	534
20.13.1 : If-then-else	534
20.13.2 : Case statement	536
20.14 : Latches	537
20.15 : Edge gevoelige processen	538
20.16 : Scheduling	538
20.17 : Instantieren van deelmodules in VHDL	539
20.17.1 : Instantieren van deelmodules	539
20.18 : Praktische systemen in VHDL	541
20.18.1 : Combinatorisch blok	541
20.18.2 : Sequentiële logica	542
20.18.3 : Een Read/Write schuifregister, met uitgangsregister	545
20.18.4 : State machine	546
Hoofdstuk 21 : Implementatie van Logica in PLD	550
21.1 : Het project	550
21.2 : Schematisch ontwerp	550
21.2.1 : Display sturing	550
21.2.2 : De deler	552
21.2.3 : De tellers	554
21.2.4 : De alarmfunctie	558
21.2.5 : Toplevel	560
21.2.6 : Verificatie	563
21.3 : Verilog ontwerp	564
21.3.1 : Display sturing	565
21.3.2 : De deler	568
21.3.3 : De tellers	570
21.3.4 : De alarmfunctie	577
21.3.5 : Toplevel	579
21.4 : VHDL ontwerp	582
21.4.1 : Display sturing	582
21.4.2 : De deler	585
21.4.3 : De tellers	587
21.4.4 : De alarmfunctie	592

Hoofdstuk 22: Fusemap creatie en programmering	594
22.1 : Finale Device Selectie	594
22.2 : Pin toekenning	596
22.3 : Fusemap creatie	598
22.4 : Programmering	598
Hoofdstuk 23: Experimenteerplatformen	600
23.1 : Terasic Max II Micro Kit	600
23.2 : Elektor FPGA board	601
23.3 : Andere platformen	601